Pràctica 2. Teoria de Circuits

Xarxa R-2R: aplicació a la conversió D/A

Jordi Bonet i Dalmau
Rosa Giralt Mas

Març de 2025

A la *Pràctica 1* vam introduir la idea de generar senyals analògics a partir de senyals digitals. Això ho vam fer aplicant cada bit del senyal digital a un terminal d'una resistència, de valor inversament proporcional al pes d'aquest bit. L'altre terminal de totes aquestes resistències estava unit en un punt en el qual teníem la suma ponderada de tots aquests bits. Ara considerarem que aquest senyal digital es la codificació binària del valor del senyal analògic que volem generar. Per tant, si volem generar una mostra de valor determinat hem de crear un senyal digital que sigui proporcional a aquest mateix valor codificat en binari. Per a generar una determinada forma d'ona a partir d'una seqüència de mostres, ens caldrà obtenir prèviament una seqüència de senyals digitals de valor proporcional al de cadascuna d'aquestes mostres codificades en binari. La part de generació del senyal digital està fora de l'abast d'aquesta pràctica i al laboratori us proporcionarem un CPLD que generarà aquest senyal. A vosaltres us correspon dissenyar el circuit que permeti obtenir la suma ponderada de cadascun dels bits d'aquest senyal digital. Observeu que en el circuit de la *Pràctica 1* canviar la forma d'ona implicava canviar el pes de cada bit (i per tant el valor de cada resistència del circuit) ja que la seqüència digital era fixa. En canvi quan tenim una codificació binària, el pes de cada bit és fixe (de fet, cada bit té un pes doble que l'immediat de menor pes) i per tant, el canvi de forma d'ona implica un canvi en la seqüència del senyal digital. Un cop finalitzada la pràctica podreu valorar els avantatges, inconvenients, limitacions i flexibilitat de cadascun dels dos mecanismes de generació de formes d'ona.

1 El CPLD com a generador de bits

Utilitzarem un CPLD com els que esteu utilitzant a *Sistemes Digitals* per generar el senyal digital que serà l'entrada del convertidor digital-analògic (DAC) que construirem més endavant. Amb el CPLD disposarem de fins a 8 bits, tot i que si volem usar menys bits agafarem els de major pes i prescindirem de la resta. Aquest CPLD es pot controlar externament per tal de canviar la forma d'ona i el nombre de bits amb què es genera aquesta forma d'ona.

Tasca 1. Inseriu el CPLD en la vostra *protoboard*. El CPLD s'ha d'alimentar a 3,3V, que es connecten a la pota 32. La massa es connecta a la pota 16. El *clock* que fa aparèixer una nova mostra es troba a la pota 10. Per generar-lo utilitzeu la sortida TTL i ajusteu una freqüència de 1kHz.

Connecteu una resistència de *pull-up* de $10k\Omega$ a cada una de les dues entrades de selecció de forma d'ona. El Selector0 correspon a la pota 1 i el Selector1 a la pota 2. Useu els interruptors

que us proporcionarem per tal de poder connectar aquestes entrades a GND. Cada cop que polseu el Selector0 canviarà la forma d'ona (sinusoïdal, triangular, dent de serra, quadrada, exponencial...). Cada cop que polseu el Selector1 disminuirà el nombre bits amb què es genera el senyal, de 8 a 1. Així, podem visualitzar quin és l'efecte de generar un senyal amb menys resolució.

Abans de continuar, verifiqueu que teniu senyal a totes les sortides del CPLD. Les potes corresponents a cada bit s'indiquen a continuació: bit7 - pota 3, bit6 - pota 4, bit5 - pota 5, bit4 - pota 6, bit3 - pota 11, bit2 - pota 12, bit1 - pota 13 i bit0 - pota 14.

2 Xarxa binària

Primer utilitzarem una xarxa similar a la del darrer dia i calcularem el valor de les resistències per tal de fer una conversió D/A. Ens interessarem per l'equivalent Thevenin del circuit, la diversitat en el valor de les resistències i pel valor màxim que es pot aconseguir a la sortida.

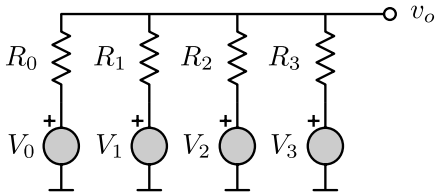
En una codificació binària, cada bit té un pes doble respecte l'immediatament anterior. Així, si el bit_0 té un pes d'1, el bit_1 de 2 i el bit_n de 2^n. Per exemple, si treballem amb 4 bits tindríem:

$$v_o = (bit_0 + bit_1 2 + bit_2 2^2 + bit_3 2^3)k \tag{1}$$

Si volguéssim donar a k un valor concret, podríem arribar a tenir:

$$v_o = \frac{bit_0}{16} + \frac{bit_1}{8} + \frac{bit_2}{4} + \frac{bit_3}{2} \tag{2}$$

Previ 1. En el següent circuit les fonts de tensió modelen quatre dels bits a la sortida del CPLD. Calculeu el valor de les resistències per tal que es compleixi l'equació (1). Quin és el valor de k? Quants valors de resistència diferents cal usar? Calculeu el valor d'R_{eq} en terminals de v_o. Quin és el valor màxim que pren v_o quan tots els bits prenen el valor lògic 1?



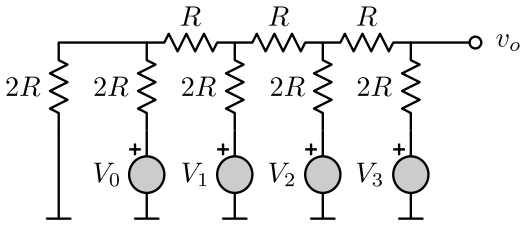
Tasca 2. Inseriu les quatre resistències calculades anteriorment a les sortides de major pes del CPLD. Per tenir més precisió, utilitzarem un sol valor de resistència i trobarem els diferents valors fent associacions sèrie i paral·lel. Comenceu primer inserint només la corresponent al bit de major pes, bit_7. Verifiqueu el funcionament del circuit. Després, aneu afegint progressivament els bits de menor pes, d'un en un, fins al bit_4. Aneu verificant a cada bit el funcionament del circuit i dels selectors.

3 Xarxa R-2R

Estudiarem una altra forma de realitzar una conversió D/A amb una xarxa composta per resistències de només dos valors. També ens interessarem per l'equivalent Thevenin del circuit,

la diversitat en el valor de les resistències i pel valor màxim que es pot aconseguir a la sortida. Naturalment compararem aquesta opció amb l'anterior.

Previ 2. Verifiqueu que en el següent circuit es compleixi l'equació (2). Es recomana analitzar-lo utilitzant transformació de fonts. Quin seria el valor de k si utilitzéssim l'equació (1)? Quants valors de resistència diferents cal usar? Calculeu el valor d'R_{eq} en terminals de v_o. Quin és el valor màxim que pren v_o quan tots els bits prenen el valor lògic 1?



Tasca 3. Al laboratori disposareu de resistències de valor $10k\Omega$ d'una precisió de l'1%. Posarem a 2R aquesta resistència i per R en posarem dues en paral·lel. Per tal de facilitar la detecció d'errors, construïu una xarxa R-2R amb només el bit de major pes, el bit_7. La resta de bits els podeu deixar desconnectats. Verifiqueu el funcionament del circuit. Afegiu un bit més, el bit_6. Verifiqueu el funcionament del circuit. Repetiu aquest procés fins que no observeu canvis significatius en la forma d'ona generada.

Tasca 4. Un cop al laboratori podem experimentar l'efecte de treballar amb resistències de tolerància elevada. Per exemple, podem alterar intencionadament el valor d'una de les resistències connectades al bit de major pes i observar l'efecte sobre la forma d'ona *dent de serra*. Després podem repetir l'experiment amb la resistència connectada al bit de menor pes. A continuació ens podem preguntar si pot ser contraproduent usar un nombre de bits elevats per a codificar el senyal quan la tolerància de les resistències és elevada. Finalment, podem qüestionar la utilitat de la xarxa R-2R per a la construcció de convertidors digitals-analògics, si no disposem de la tecnologia adequada per a generar resistències de precisió.